

5/4 Priority
Doc.
A. Willis
11-20-01
501.40205X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

jc971 U.S. PTO
09/925375
08/10/01

Applicants: KOHNO et al.
Serial No.: Not yet assigned
Filed: On even date
For: SEMICONDUCTOR DEVICE TESTING APPARATUS AND
SEMICONDUCTOR DEVICE MANUFACTURING METHOD
USING IT

LETTER

Assistant Commissioner for Patents
Washington, D.C. 20231

August 9, 2001

Sir:

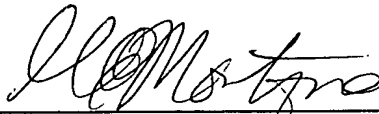
Under the provisions of 35 USC 119 and 37 CFR 1.55,
applicants hereby claim the right of priority based on:

Japanese Application No. 2000-285817 filed on
September 20, 2000

A certified copy of said Japanese application document is
attached hereto.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS LLP

By 
Gregory E. Montone
Registration No. 28,141

GEM/vlc
(703) 312-6600

Attachment

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

150000574
Jc971 U.S. PTO
09/925375
08/10/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2000年 9月20日

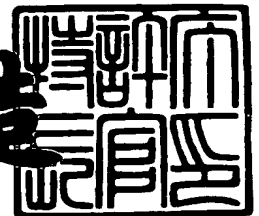
出願番号
Application Number: 特願2000-285817

出願人
Applicant(s): 株式会社日立製作所

2001年 4月 6日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3027784

【書類名】 特許願
 【整理番号】 JP3432
 【あて先】 特許庁長官殿
 【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 茨城県土浦市神立町 5 0 2 番地
 株式会社 日立製作所 機械研究所内

【氏名】 河野 竜治

【発明者】

【住所又は居所】 茨城県土浦市神立町 5 0 2 番地
 株式会社 日立製作所 機械研究所内

【氏名】 三浦 英生

【発明者】

【住所又は居所】 茨城県土浦市神立町 5 0 2 番地
 株式会社 日立製作所 機械研究所内

【氏名】 金丸 昌敏

【発明者】

【住所又は居所】 茨城県土浦市神立町 5 0 2 番地
 株式会社 日立製作所 機械研究所内

【氏名】 清水 浩也

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号
 株式会社 日立製作所 半導体グループ内

【氏名】 伴 直人

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100077816

【弁理士】

【氏名又は名称】 春日 譲

【手数料の表示】

【予納台帳番号】 009209

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の検査装置及びそれを用いた半導体の製造方法

【特許請求の範囲】

【請求項1】

シリコン基板の支持部に支持された複数の両持ち梁と、この梁に形成され、検査対象である半導体装置の電極部に接触される突起であるプローブと、このプローブと上記シリコン基板に形成された二次電極とを接続する配線とを有し、半導体装置を検査する検査装置において、

上記配線は、上記両持ち梁のプローブが形成される面に、この梁の両端の2つの支持部にまで延長して配置されていることを特徴とする半導体装置の検査装置。

【請求項2】

シリコン基板の支持部に支持された複数の片持ち梁と、この梁に形成され、検査対象である半導体装置の電極部に接触される突起であるプローブと、このプローブと上記シリコン基板に形成された二次電極とを接続する配線とを有し、半導体装置を検査する検査装置において、

上記配線は、上記梁のプローブが形成された表面から、この表面の裏面を介して上記二次電極に至る経路に配置されるとともに、上記梁のプローブが形成された表面の、少なくとも上記梁の支持部にまで延長して配置されていることを特徴とする半導体装置の検査装置。

【請求項3】

シリコン基板の支持部に支持された複数の片持ち梁と、この梁に形成され、検査対象である半導体装置の電極部に接触される突起であるプローブと、このプローブと上記シリコン基板に形成された二次電極とを接続する配線とを有し、半導体装置を検査する検査装置において、

上記配線は、上記梁のプローブが形成された表面から、この表面の裏面を介して上記二次電極に至る経路に配置されるとともに、上記梁のプローブが形成された表面及び裏面の、少なくとも上記梁の支持部近辺に配置されていることを特徴とする半導体装置の検査装置。

【請求項4】

シリコン基板の支持部に支持された複数の片持ち梁と、この梁に形成され、検査対象である半導体装置の電極部に接触される突起であるプローブと、このプローブと上記シリコン基板に形成された二次電極とを接続する配線とを有し、半導体装置を検査する検査装置において、

上記配線は、上記梁のプローブが形成された表面から、この表面の裏面を介して上記二次電極に至る経路に配置されるとともに、上記梁のプローブが形成された表面の、上記梁の支持部には、上記配線とは別個の膜材が配置されていることを特徴とする半導体装置の検査装置。

【請求項5】

請求項1から5のうちのいずれか一項記載の半導体装置の検査装置において、上記複数の梁に形成されたプローブの互いの距離は、 $100\mu\text{m}$ 以下であることを特徴とする半導体装置の検査装置。

【請求項6】

ウェハ上に形成された多数のLSI、又はウェハから個片に切り離されたLSIに対し、上記LSIの特性検査工程と、上記LSIの初期不良加速選別検査工程と、上記LSIの最終的な性能検査工程とのうちの少なくとも一つの検査工程を備え、

上記検査工程は、シリコン基板の支持部に支持された複数の両持ち梁と、この梁に形成され、検査対象である半導体装置の電極部に接触される突起であるプローブと、このプローブと上記シリコン基板に形成された二次電極とを接続する配線とを有し、上記配線は、上記両持ち梁のプローブが形成される面に、この梁の両端の2つの支持部にまで延長して配置されている検査装置により実行されることを特徴とする半導体装置の製造方法。

【請求項7】

ウェハ上に形成された多数のLSI、又はウェハから個片に切り離されたLSIに対し、上記LSIの特性検査工程と、上記LSIの初期不良加速選別検査工程と、上記LSIの最終的な性能検査工程とのうちの少なくとも一つの検査工程を備え、

上記検査工程は、シリコン基板の支持部に支持された複数の片持ち梁と、この梁に形成され、検査対象である半導体装置の電極部に接触される突起であるプローブと、このプローブと上記シリコン基板に形成された二次電極とを接続する配線とを有し、上記配線は、上記梁のプローブが形成された表面から、この表面の裏面を介して上記二次電極に至る経路に配置されるとともに、上記梁のプローブが形成された表面の、少なくとも上記梁の支持部にまで延長して配置されている検査装置により実行されることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の検査装置及びその検査装置を用いた半導体装置の製造方法に係わり、特に、半導体装置の検査工程を効率化可能な検査装置及びその検査装置を用いた半導体装置の製造方法に関する。

【0002】

【従来技術】

まず、従来半導体装置の製造方法について以下に説明する。

半導体装置の製造工程は、いわゆる前工程と呼ばれる、ウェハ上へ多数のLSIを形成する工程と、これらLSIに対する各種の検査工程と、各LSIを最終的な製品形態に仕上げる組立工程とに大別できる。この製造工程を、図15を用いて説明する。

【0003】

図15は、半導体装置の一般的な製造方法の概略を示すフローチャートである。製造工程は、前工程、ウェハテスト、切断・組み立て、バーンイン、最終検査の5つを含む。

【0004】

(1) 前工程

前工程を図17を用いて説明する。この図17は、LSIが形成された様子を示すウェハの外観図である。この前工程は、例えば、直径20cm、あるいは30cm程度のSiウェハ1aの表面に多数のLSI1bを形成する工程である。

この前工程は、さらに多くの工程に細別されるが、ここではその詳細は省略する。

この前工程を実行した結果、例えばメモリなどの場合、ウェハ表面には数百程度のLSI 1bが形成される。

【0005】

ここで、各LSIの表面には、電源、グランド、各種シグナルなどのパッド（電極）1c群が形成・配置される。このパッド1cについて、図18を用いて説明する。

【0006】

図18は、図17に示したLSI 1bのうちの一つを取り出して拡大した外観斜視図である。図18において、各パッド1cはLSI 1b中の配線の一部を表面に露出させたものであり、最表層には通常Al（アルミニウム）、Au（金）などを主材とする材質が用いられる。各パッド1cの寸法は、通常、一辺長が数十ないし百数十 μ m程度であり、また、配列のピッチも数十ないし百数十 μ m程度である。これら各パッド1cは、後の組み立ての段階で必要に応じ半導体装置の外部端子に接続される。

【0007】

（2）ウェハテスト

このウェハテスト工程は、ウェハ1a上に形成した各LSI 1bの基本的な特性の検査工程である。これは通常ウェハの状態のまま実施され、各LSI 1bの所定のパッド1cに対してプローブを接触させることにより、LSI 1bと外部システムすなわちテストとを導通させた状態で行われる。

【0008】

このウェハテスト工程の結果、ウェハ1a内の各LSI 1bに対して良否その他の判定が行われ、後の工程への適用の可否が判断される。

【0009】

このとき用いられるプローブ構造体の従来構造の一例を図16を用いて説明する。

図16は、従来広く用いられているプローブ構造体の略断面図である。この図

16に示した例において、プローブ10は多くの場合、W（タングステン）などの細針を折り曲げ、その先端が被検LSI1bの各パッド1cの位置に合致するように配置され、他端が接着剤等により配線板2に固定されている。

【0010】

図16の紙面奥行き方向にも複数のプローブ10が配置されている。各プローブ10はプリント配線板2内の各配線21に接続されており、その結果、プリント配線板2上の各電極22をテストなどの外部システム（図示せず）に接続し、プローブ10の先端を被検LSI1bのパッド1cに接触させることによってLSI1bと外部システムとの信号授受が可能となる。

【0011】

上述のように、1枚のウェハ1a中には通常、数百の多くのLSI1bが一括形成されるため、ウェハテストでは検査効率を高める理由からウェハ1a中の複数のLSI1bに対して同時に実施されるのが普通である。

【0012】

同時にテストされるLSI1b数は、検査に用いるプローブ構造体の幾何学的要因およびテストの信号処理能力により決定される。プローブ構造体の幾何学的要因とは、主として構造体中に被検LSI1bのパッド1cのレイアウトに合致した形でどれだけのプローブ10を所定の精度を持って形成できるかを意味する。

【0013】

図16に示したような例における、従来のプローブ構造体では、プローブ10の先端位置精度や配置ピッチ、さらにはプローブ10の他端固定に必要な領域等の制約から、同時にテストされるLSI1b数は、多くても32ないし64程度に限られている。

【0014】

また、このことを踏まえ、同時に検査するLSI1bの数を増加して検査効率を向上させることを目的としたプローブ構造体が開示されている。以下、これらのプローブ構造体を本発明に係る従来の技術として列挙する。

【0015】

(本発明に係る一従来技術)

一例として、単結晶Siからなる片持ち梁構造の表面に導通用の金属皮膜を形成し、これらを導通配線パターンを形成した絶縁基板で保持して電気特性測定用プローブとした例が特開平7-7052号公報に示されている。

【0016】

(本発明に係る他の従来技術)

他の例として、Siを主材料とする基板内に複数の梁構造およびプローブを形成し、貫通孔を介して同プローブと同プローブ形成面の反対面に存在する二次電極とを配線により電氣的に接続した例が、特開平11-274251号公報に示されている。

【0017】

(3) 切断・組み立て

切断・組立工程は、ウェハ1a内の各LSI1bを個々の単位に切断し、必要に応じてリードフレームへの接合や外周の樹脂封止、およびリードフレームの成形等、いわゆる組み立てを行って半導体装置の製品としての構造・形態を形成する工程である。

【0018】

(4) バーンイン

このバーンイン工程は、製造対象である半導体装置の使用環境に比べ過度な熱および電気ストレスを与え、潜在する不良因子を加速的に摘出し、見かけ上の良品を排除する工程である。このバーンイン工程は、通常、上記(3)の切断・組立工程で形成した半導体装置を、各端子(リード)が外部のテストと導通するよう構成された専用のソケットに個々封入し、100ないし150℃程度の温度雰囲気中に数ないし数十h放置するといった手段が採られることが多い。

【0019】

(5) 最終検査

最終検査工程は、これまでの製造工程を経た各半導体装置が、例えば周波数などの項目について所定の仕様・性能を満足するか否かを判定する、いわば品質保証検査工程である。この最終検査工程も通常、上記バーンインの工程で用いたと

ほぼ同様な専用ソケットに、半導体装置が個々封入された状態で実施されることが多い。

【 0 0 2 0 】

【発明が解決しようとする課題】

しかしながら、上述した従来の技術では、次のような問題点があった。以下、本発明の従来の技術の問題点とその理由とを対応させて述べる。

【 0 0 2 1 】

本発明の一従来技術（特開平 7 - 7 0 5 2 号公報）についての問題点とその理由を以下に示す。

【 0 0 2 2 】

この従来技術にあっては、現状よりプローブの数の多数化を図ろうとすると、各配線の形成領域の確保が困難となる。

【 0 0 2 3 】

その理由は、配線が梁のプローブ（突起）からこのプローブが形成されている面（表面）を通過して、プローブを形成する基板（一例として単結晶 S i）の外周側面に展開されて、二次電極に到達しなければならず、その間に存在する他の配線や素子を回避する必要があるからである。

【 0 0 2 4 】

このため、プローブの多数化を図るためには、次に述べる他の従来技術のように、配線は、梁のプローブから、梁のプローブが形成されていない面（裏面）を通過して二次電極に到達させる必要がある。

【 0 0 2 5 】

本発明の他の従来技術（特開平 1 1 - 2 7 4 2 5 1 号公報）についての問題点とその理由を以下に示す。

【 0 0 2 6 】

他の従来技術においては、プローブを被検 L S I 1 b のしかるパッド 1 c に接触させて梁に撓みが生じたとき、配線の存在しない部分の梁の曲げが他の部分に比べて過大となり、結果、その部分の梁応力が過大になり、最悪の場合、梁が破損することがある。

【0027】

その理由は、配線が梁のプロープ（突起）形成面からプロープを形成する基板（一例としてSi）中の貫通孔を介して同基板のプロープ形成面の反対面へ展開されるため、上記一従来技術に比べて多プロープ化を図ることが容易であるが、各両端支持梁中の任意の幅方向断面においてプロープ形成面側に配線の存在しない場合があるため、プロープを被検LSI1bのしかるパッド1cに接触させて梁に撓みが生じたとき、配線の存在しない部分の梁の曲げが他の部分に比べて過大となり、結果、その部分の梁応力が過大となって、最悪の場合、梁が破損することになる。

【0028】

このような現象は、被検LSI1bのパッド1cのレイアウトが密であり、パッド1cの配置ピッチが非常に小さい場合に起こりやすくなる。

【0029】

本発明の従来技術におけるもう一つの問題とその理由を述べる。

本発明の従来技術では、配線をプロープ形成面からその反対面へ展開するに当たり、上述のように、プロープを形成する基板内に予め設けた貫通孔を介する手段を採る。この貫通孔は、二次電極（公報中パッド121と記載）の形成面と実質同一面内に形成されるため、被検LSI1bの寸法やパッド1cのレイアウトにより制限される二次電極形成面に十分な領域が確保できない場合、貫通孔の占有する面積が二次電極形成面内の多くの割合を占めてしまい、結果、十分なピッチや面積を有する二次電極を形成できない場合がある。

【0030】

本発明の目的は、梁に必要な強度を保持した状態で小型化ができ、多数のプロープを形成可能な半導体検査装置及びこの検査装置を用いた半導体装置の製造方法を実現することである。

【0031】

【課題を解決するための手段】

上記目的を達成するため、本発明は次のように構成される。

【0032】

(1) シリコン基板の支持部に支持された複数の両持ち梁と、この梁に形成され、検査対象である半導体装置の電極部に接触される突起であるプローブと、このプローブと上記シリコン基板に形成された二次電極とを接続する配線とを有し、半導体装置を検査する検査装置において、上記配線は、上記両持ち梁のプローブが形成される面に、この梁の両端の2つの支持部にまで延長して配置されている。

【 0 0 3 3 】

(2) シリコン基板の支持部に支持された複数の片持ち梁と、この梁に形成され、検査対象である半導体装置の電極部に接触される突起であるプローブと、このプローブと上記シリコン基板に形成された二次電極とを接続する配線とを有し、半導体装置を検査する検査装置において、上記配線は、上記梁のプローブが形成された表面から、この表面の裏面を介して上記二次電極に至る経路に配置されるとともに、上記梁のプローブが形成された表面の、少なくとも上記梁の支持部にまで延長して配置されている。

【 0 0 3 4 】

(3) シリコン基板の支持部に支持された複数の片持ち梁と、この梁に形成され、検査対象である半導体装置の電極部に接触される突起であるプローブと、このプローブと上記シリコン基板に形成された二次電極とを接続する配線とを有し、半導体装置を検査する検査装置において、上記配線は、上記梁のプローブが形成された表面から、この表面の裏面を介して上記二次電極に至る経路に配置されるとともに、上記梁のプローブが形成された表面及び裏面の、少なくとも上記梁の支持部近辺に配置されている。

【 0 0 3 5 】

(4) シリコン基板の支持部に支持された複数の片持ち梁と、この梁に形成され、検査対象である半導体装置の電極部に接触される突起であるプローブと、このプローブと上記シリコン基板に形成された二次電極とを接続する配線とを有し、半導体装置を検査する検査装置において、上記配線は、上記梁のプローブが形成された表面から、この表面の裏面を介して上記二次電極に至る経路に配置されるとともに、上記梁のプローブが形成された表面の、上記梁の支持部には、上記

配線とは別個の膜材が配置されている。

【0036】

(5) 好ましくは、上記(1)から(5)において、上記複数の梁に形成されたプローブの互いの距離は、 $100\mu\text{m}$ 以下である。

【0037】

(6) 半導体装置の製造方法において、ウェハ上に形成された多数のLSI、又はウェハから個片に切り離されたLSIに対し、上記LSIの特性検査工程と、上記LSIの初期不良加速選別検査工程と、上記LSIの最終的な性能検査工程とのうちの少なくとも一つの検査工程を備え、上記検査工程は、シリコン基板の支持部に支持された複数の両持ち梁と、この梁に形成され、検査対象である半導体装置の電極部に接触される突起であるプローブと、このプローブと上記シリコン基板に形成された二次電極とを接続する配線とを有し、上記配線は、上記両持ち梁のプローブが形成される面に、この梁の両端の2つの支持部にまで延長して配置されている検査装置により実行される。

【0038】

(7) 半導体装置の製造方法において、ウェハ上に形成された多数のLSI、又はウェハから個片に切り離されたLSIに対し、上記LSIの特性検査工程と、上記LSIの初期不良加速選別検査工程と、上記LSIの最終的な性能検査工程とのうちの少なくとも一つの検査工程を備え、上記検査工程は、シリコン基板の支持部に支持された複数の片持ち梁と、この梁に形成され、検査対象である半導体装置の電極部に接触される突起であるプローブと、このプローブと上記シリコン基板に形成された二次電極とを接続する配線とを有し、上記配線は、上記梁のプローブが形成された表面から、この表面の裏面を介して上記二次電極に至る経路に配置されるとともに、上記梁のプローブが形成された表面の、少なくとも上記梁の支持部にまで延長して配置されている検査装置により実行される。

【0039】

上記配線が、両持ち梁のプローブが形成される面に、この梁の両端の2つの支持部にまで延長して配置されている場合、梁は任意の幅方向断面において常に一定の形状となっている。その結果、梁と配線の形状から定まる断面二次モーメン

トが一定となるため、プローブが被検体に接触して梁が所定量だけ撓んでも梁の曲率が局所的に変化するといった不都合が回避される。

【0040】

その結果、梁の局所的な応力集中が防止され、梁の破損などといった、不都合を回避することができる。

【0041】

また、上記配線が、片持ち梁のプローブが形成された表面の、少なくとも上記梁の支持部にまで延長して配置されている場合には、中立軸が移動し、中立軸と梁の支持部の引っ張り応力が大となる部分までの距離が小となる。

【0042】

その結果、応力が低減され、梁に必要な強度を保持した状態で小型化ができ、多数のプローブを形成可能な半導体検査装置を実現することができる。

【0043】

【発明の実施の形態】

以下、本発明の実施形態を、図面を参照して説明する。

まず、本発明の第1の実施形態を、図1、図2を用いて説明する。

【0044】

図1は、本発明の第1の実施形態である半導体検査装置の要部拡大斜視図であり、プローブ構造体に用いる、プローブを形成する基板の主要部の部分斜視図である。また、図2は、本発明の第1の実施形態におけるプローブ形成基板5の、梁11の長手方向部分断面およびプローブ形成面5dから見た部分平面を示す図である。

【0045】

本発明の第1の実施形態では、Siを主材料とするプローブ形成基板5に対して、エッチング技術を用いて、複数の梁11（この図1の例においては、両持ち梁つまり両端支持梁）および突起12を一体形成し、貫通孔4aを形成する。その後、突起12の表層をメタライズして導電性を持たせ、これをもってプローブ5aとする。

【0046】

さらに、プローブ 5 a と、プローブ形成面 5 d の反対面 5 e に形成する二次電極（図示せず）との導通を得るための配線 5 b を形成する。配線 5 b には通常、体積抵抗率の小さな Cu（銅）、対摩耗性、めっき性に優れる Ni（ニッケル）、あるいは Rh（ロジウム）、Au（金）、あるいはこれらの積層構造などを用いる。本発明の第 1 の実施形態では、配線 5 b は貫通孔 4 a を介することによって梁 1 1 の一方の面と他方の面との導通を達している。

【 0 0 4 7 】

ここで、配線 5 b は、梁 1 1 上を上記の導通（梁 1 1 の一方の面と他方の面との導通）を行うための方向とは電氣的に無関係な方向、すなわちプローブ 5 a から貫通孔 4 a へ向かうとは反対の方向へも同様に形成され、最終的に、梁 1 1 の付け根部 5 f（支持部）の 2 点を結ぶ直線 5 g を通過する位置まで延長されている。以下、同直線 5 g を通過した以降の配線 5 b の部分をオーバーラップと呼ぶことにする。

【 0 0 4 8 】

この措置によって、梁 1 1 は任意の幅方向断面において常に一定の形状をなし、その結果、梁 1 1 と配線 5 b の形状から定まる断面二次モーメントが一定となるため、プローブ 5 a が被検体（図示せず）のパッドに接触して梁 1 1 が所定量だけ撓んでも梁 1 1 の曲率が局所的に変化するといった不都合が回避される。

【 0 0 4 9 】

その結果、梁 1 1 の局所的な応力集中が防止され、梁 1 1 の破損などといった、不都合を回避することができる。これらの現象は、被検体のパッドレイアウトにおいて、そのピッチが例えば $100\mu\text{m}$ 以上と十分な値が確保されている場合には Si の強度的性質上さほどの問題とはならない。

【 0 0 5 0 】

したがって、本発明の第 1 の実施形態を適用すべきは、同ピッチが $100\mu\text{m}$ 以下の非常に高密度な L S I が被検体である場合において有効性を発揮するものである。

【 0 0 5 1 】

図 2 の（a）において、u 値として規定されるオーバーラップ量は、通常、数十

から数百 μm の値に設定するのがよい。これは、オーバーラップ量 u と上述の効果との相関が必ずしも比例関係ではなく、 u 値を増大させてもある値を境として効果が飽和すること、およびオーバーラップ量 u を必要以上に大きくすることは、プローブ形成基板5と配線5bとの間に挟まれる面積に依存する静電容量値を増加させてしまい、プローブとしての電気的特性を損なうこと、の二点の理由による。

【0052】

本発明の第1の実施形態において、二次電極5cはプローブ形成基板5のプローブ形成面5dの反対面5e内に形成される。これは、本発明の第1の実施形態の構造を、所定のプリント配線板（図示せず）等への機械的および電氣的接続、すなわちプローブ構造体の組み立てを行う都合を考慮したものであり、狭ピッチで多プローブのプローブ構造体を得る上で不可欠の措置である。また、同様に、貫通孔4aも実質同一面内に形成される。

【0053】

図2の（b）では、互いに隣接するプローブ5a同士のピッチ P_p と、互いに隣接する二次電極5c同士のピッチ P_d とは、異なる様子が示されている。本発明の一実施形態は、プローブ5aを従来に比べより小さくすることを主目的の一つとしている。そのため、二次電極5cをプローブ5aと同一のピッチで配置すると、上述したプローブ構造体としての組み立て性を悪化してしまうことにつながる。

【0054】

よって、このように両者のピッチ、あるいはレイアウトを変化させることもやはり狭ピッチで多プローブのプローブ構造体を得る上で不可欠の措置である。

【0055】

以上のように、本発明の第1の実施形態によれば、配線5bは、梁11上の一方の面に所定の幅で、梁11の全長に亘り形成されているため（梁11の少なくとも両端支持部に形成されているため）、梁11は任意の幅方向断面において常に一定の形状となっている。

【0056】

その結果、梁 1 1 と配線 5 b の形状から定まる断面二次モーメントが一定となるため、プローブ 5 a が被検体のパッドに接触して梁 1 1 が所定量だけ撓んでも梁 1 1 の曲率が局所的に変化するといった不都合が回避される。その結果、梁 1 1 の局所的な応力集中が防止され、梁 1 1 の破損などといった、不都合を回避することができる。

【 0 0 5 7 】

したがって、梁に必要な強度を保持した状態で小型化ができ、多数のプローブを形成可能な半導体検査装置を実現することができる。

【 0 0 5 8 】

また、本発明の第 1 の実施形態である半導体検査装置を図 1 5 に示した半導体装置の製造工程中のウェハテスト工程に用いれば、従来技術より多数の L S I をテストすることが可能となり、検査効率が向上された半導体の製造方法を実現することができる。

【 0 0 5 9 】

次に、本発明の第 2 の実施形態を図 3、図 4 を用いて説明する。

図 3 は、本発明の第 2 の実施形態である半導体検査装置の要部拡大斜視図であり、プローブ構造体に用いる、プローブを形成する基板の主要部の部分斜視図である。また、図 4 は、本発明の第 2 の実施形態におけるプローブ形成基板 5 の、梁 1 1 の長手方向部分断面図である。

【 0 0 6 0 】

本発明の第 2 の実施形態では、梁 1 1 の形状が上述した第 1 の実施形態の両端支持梁とは異なり片持ち梁として構成されている。また、配線 5 b の一部は梁 1 1 の側面 1 1 1、すなわち、プローブ 5 a の形成面に接する面を通して二次電極 5 c に接続されており、プローブ 5 a の形成面 5 d では、配線 5 b は梁 1 1 の付け根（支持部）の方向へ延長され、上述した第 1 の実施形態と同様に u 値のオーバーラップを形成している。

【 0 0 6 1 】

本発明の第 2 の実施形態の第一の効果を図 1 3 及び図 1 4 を用いて説明する。

図13は、本発明の第2の実施形態のプロープを形成する基板を被検体6のしかる位置に押圧した状態の断面図であり、図14は上記の配線延長を施さない場合の同様の断面図である。

【0062】

図14で、梁11が、このように撓んだとき、梁11の曲げ応力が0になる中立軸112が梁構造から、図示のように決まり、中立軸112から梁11のSi基板下端までの距離 e_0 が定められる。

【0063】

この距離 e_0 は梁11に生じる応力に比例するので、距離 e_0 を構造的に小さくすることにより、梁11の応力を低減させることができる。

【0064】

図13に示す例、つまり本発明の第2の実施形態は、このための措置を施したものであり、梁11の下面に、配線5b部のうち、電気的には無関係な部分を設けることにより、配線5bとSi部分を含めた断面形状が、図14に示す例とは異なり、中立軸112が、図14において下方に移動するため、図13に示す距離 e は図14に示す距離 e_0 より小となる。

【0065】

その結果、図13の例と図14の例とが互いに同一の撓み量 v であれば、図13の例の方が図14の例に比較して応力が低減される。言い換えれば、図13の例と図14の例とが、同一の梁寸法であれば、図13の例の方が、より大きく撓ませることができるようになる。

【0066】

本発明の第2の実施形態の第二の効果としては、図13に示す構造では、梁11の上下両面に配線が設けられているため、梁11には配線の剛性が加味され、その結果、同一の撓み量 v であれば、図14の例に比べより大きな荷重 w を発生させることができるという効果がある。すなわち、図13の例で発生する荷重を w とし、図14の例で発生する荷重を w_0 とすれば、 $w > w_0$ となる。

【0067】

本発明の第2の実施形態の第三の効果としては、図13の例では片持ち梁構造

を採っているため、上述の図1、図2の両端支持梁の実施形態に比べ、同じ荷重を発生させる梁11の長さが大きく低減できるという効果がある。

【0068】

このことは、プローブ形成基板中の梁11形成域（図3中のS域）を低減できることにつながり、その結果、二次電極5cの形成面積がより多く確保され、ピッチや大きさに余裕を持った二次電極5cを形成できることにつながる。

【0069】

以上のように、本発明の第2の実施形態によれば、梁11の下面に、配線5b部のうち、電気的には無関係な部分を設けることにより、中立軸112が移動し、距離eが小となる。

【0070】

その結果、図13の例と図14の例とが互いに同一の撓み量vであれば、図13の例の方が図14の例に比較して応力が低減される。

【0071】

したがって、梁に必要な強度を保持した状態で小型化ができ、多数のプローブを形成可能な半導体検査装置を実現することができる。

また、検査効率が向上された半導体の製造方法を実現することができる。

【0072】

本発明の第3の実施形態を図5及び図6を用いて説明する。

図5は、本発明の第3の実施形態である半導体検査装置の要部拡大斜視図であり、プローブ構造体に用いる、プローブを形成する基板の主要部の部分斜視図である。また、図6は、本発明の第3の実施形態の梁11の長手方向部分断面図である。

【0073】

本発明の第3の実施形態では、配線5bは、第2の実施形態と同様に電氣的に必要最低限の経路のみに形成されている。また、上述した第2の実施形態と同様の効果を得ることを目的として、梁11の下面には、配線5bとは別個に膜材13を設けてある。

【0074】

上述した第 2 の実施形態では、梁 1 1 の曲げ特性を向上させるために配線 5 b をそのまま利用したが、配線 5 b の敷設面積が増大するため、場合によってはプローブ形成基板 5 との間の静電容量が大きくなってしまい、プローブ構造体としての電気的特性を低下させてしまう可能性があった。

【 0 0 7 5 】

本発明の第 3 の実施形態は、この点を改善することを狙いとするものであり、膜材 1 3 は配線とは別部材のため、上記点を改善することができる。膜材 1 1 には通常、金属のめっき膜や熱硬化性の樹脂などが用いられる。膜材 1 3 は、配線 5 b と同じ厚さになるよう通常は形成されるが、特にそのように限定される必要はない。ただし、厚さの上限値として、所定の被検体に押圧した際に梁 1 1 が所定の公差範囲で規定量撓むこととして規定される。

【 0 0 7 6 】

本発明の第 3 の実施形態によれば、第 2 の実施形態と同様な効果を得ることができる他、電気的特性の低下を生ずること無く、梁に必要な強度を保持した状態で小型化ができ、多数のプローブを形成可能な半導体検査装置を実現することができる。

【 0 0 7 7 】

なお、上記膜材 1 3 は、梁 1 1 の支持部を含む支持部の近辺に配置されれば、従来例と比較した有利な効果を得ることができる。

【 0 0 7 8 】

本発明のプローブの設計方法ならびに効果を、図 7、図 8、図 9 および図 1 0 を用いて説明する。

【 0 0 7 9 】

図 7 は、図 4 に示した本発明の第 2 の実施形態のプローブ 5 a を、所定の被検体 6 中のパッドに接触させた状態の断面図であり、図 8 は梁 1 1 の突起 1 2 の形成部位における幅方向断面図である。

【 0 0 8 0 】

また、図 9 の (a)、(b) は梁の各寸法の適正範囲を示す説明図であり、図 9 の (a) は本発明の場合を示し、図 9 の (b) は従来技術の場合を示す。さら

に、図10は梁のたわみと荷重の関係および従来の技術と本発明との比較図である。

【0081】

梁11の設計では、長さL、幅B、および厚さhを定めることが必要である。これらの決定条件として、梁11を撓み量 v だけ撓ませることを前提とし、そのときのプローブ5aとパッド1cとの導通に必要な荷重 w を梁11が発生し得、かつ、そのとき梁11が過大な応力によって破損することのないようにという双方の条件を満たすことが必要である。

【0082】

さらに、プローブ5aとパッド1cとの接触抵抗を低減する上では配線5bの形状も重要である。配線5bを厚く形成することは、配線抵抗を低減する、あるいは梁全体の剛性を高める上では有効であるが、反面、突起12表面にも厚く形成してしまうと、突起12の最終形状すなわち配線5bの最表面形状が鈍化してしまい、その結果、パッドとの導通に必要な荷重が増大してしまう。

【0083】

また、配線抵抗を低減するためには配線5bの幅を広くすることも有効であるが、この場合も広くしすぎると上述の静電容量が増大してしまい、電気的な特性を劣化させることになる。

【0084】

さらに、被検体のパッドレイアウトピッチが例えば $100\mu\text{m}$ 以下と狭い場合は、梁幅Bが必然的にその値以下に制限されるため、他のパラメータ、すなわち、長さLと厚さhで上記の機械的特性を満足させる必要が生じる。

【0085】

図9はこの様子を示し、本発明の効果を表したものである。

図9の(a)は本発明の梁の機械的特性であり、(b)はそれを用いない従来技術の場合である。図9の(a)、(b)中の各破線は、非常に狭ピッチなレイアウトに対応すべく梁幅Bを選定・固定し、かつ撓み v をある一定値としたときの、各梁長さL、梁厚さhにおける最適荷重値、梁の強度限界、および撓み v から定まる突起高さを考慮した場合の、梁断面形状が成り立つか否かを示す幾何学

的限界の各等高線である。

【0086】

まず、図9の(a)において、強度的にも幾何学的にも満足し得るのは、強度的限界及び幾何学的限界を示す破線よりも図中左側又は左上側の範囲であり、その範囲内の、最適荷重値を満足する長さ L と厚さ h との関係は、最適荷重値を示す破線のうちの太い実線で表した範囲である。

【0087】

このように、狭ピッチのプロープ形成においては長さ L と厚さ h とはいかなる値でもよいというわけではなく、むしろ、非常に狭い範囲に限定されるのであり、梁寸法の設計には注意を要するが、本発明の場合は、適用可能範囲が確保されている。

【0088】

太い実線の範囲中、通常は、実物形成の寸法誤差を考慮して、強度的マージンの高い（すなわち強度的限界曲線から最も離れた）図中、上端の値を適用するのがよい。

【0089】

一方、図9の(b)では、図9の(a)と同様に、強度的にも幾何学的にも満足し得るのは、強度的限界及び幾何学的限界を示す破線よりも図中左側又は左上側の範囲であるが、最適荷重値を示す破線は、常に強度的限界外に位置している。

【0090】

このことは、従来技術においては、適用可能範囲を確保することができず、最適荷重値を満足すべく梁を形成しようとしても、その梁は必ず破損してしまうことを意味し、プロープ構造体として成立しなくなることを意味する。

【0091】

図10は、これまでの記述を踏まえて、実際にプロープ構造体を製作し、撓み v と荷重 w との関係を実測した結果の一例である。撓み v と荷重 w との関係は、本発明、従来技術共に梁が破壊するまでの間、ほぼ直線とみなされる挙動を示している。

【 0 0 9 2 】

しかし、従来技術では梁が必要値に撓んでも荷重が最適値に到達しない勾配で推移し、かつ梁が必要値に撓む以前に破損した。

【 0 0 9 3 】

一方、本発明ではそれらが満足でき、本発明と従来技術との有為差ならびに本発明の効果が検証された。

【 0 0 9 4 】

本発明の、第 4 の実施形態を図 1 1 及び図 1 2 を用いて説明する。

図 1 1 は、上述したこれまでのプローブ形成基板を用いて形成したプローブ構造体の略断面図である。また、図 1 2 は、ウェハテストで用いるプローブカードとしてのプローブ構造体 1 4 の斜視図である。

【 0 0 9 5 】

このプローブ構造体 1 4 は、プローブ形成基板 5 の各二次電極 5 c と、その位置に合致するよう電極が形成されたインタポーザ 1 5 とを、例えば、はんだや導電性樹脂などにより機械的および電氣的に接続し、さらにその反対面をプリント配線板 2 に接続して構成されている。

【 0 0 9 6 】

さらに、プリント配線板 2 の図中最上面の電極と外部システム 1 6 とが電氣的・機械的に接続され、この状態で、ウェハ 1 a のしかるパッド 1 c にプローブ 5 a を接触させることにより、ウェハ 1 a と外部システム 1 6 とが導通し、しかるプログラムによりウェハテストが実施される。

【 0 0 9 7 】

図 1 2 は、各 L S I の単位に切断後の被検体に対して、バーンインおよび選別検査を行うためのシェルとしてのプローブ構造体を示す。このプローブ構造体 1 4 は、プローブ形成基板 5 を、プローブ 5 a 群が図中上方に向くように、かつプローブ 5 a 群が露出するようにしてシェル 1 4 1 に内蔵されている。

【 0 0 9 8 】

上部より L S I 1 b を、そのパッドが図中下向きになるようセットし、蓋 1 4 1 1 を閉める（パッキングする）ことにより、所定の圧力がプローブ 5 a 群と L

S I 1 b との間に付与され導通する。この状態を、L S I のように外周環境や取り扱いに多大な注意を必要としない擬似パッケージとして、バーンインや選別検査を行う筐体とする。

【0099】

この筐体を、従来の技術で述べたようなソケットに装着することにより、従来の技術では不可能であった組立工程を経る以前のいわゆるベアチップに対しても従来の半導体装置と同様にバーンインや選別検査を可能ならしめる。

【0100】

【発明の効果】

本発明によれば、梁に必要な強度を保持した状態で小型化ができ、多数のプロープを形成可能な半導体検査装置を実現することができる。

【0101】

また、本発明の半導体検査装置をテスト工程に用いることにより、検査効率が向上された半導体装置の製造方法を実現することができる。

【0102】

つまり、梁の寸法を従来に比べ小さくしても、所定量撓ませたときに梁が破損するなどといった不都合が回避され、かつ必要な荷重値も確保されるため、高密度なパッドレイアウトの被検体にも対応可能なプロープ構造体が構成できる。

【0103】

また、梁の形成域を小さくできるのでプロープ形成基板内の二次電極レイアウトおよび寸法の設計自由度が増大し、より多くのプロープを配置できるので、ウェハ内のより多くの L S I が一括に検査でき、検査効率を向上することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態である半導体検査装置の要部拡大斜視図である。

【図2】

本発明の第1の実施形態におけるプロープ形成基板の梁の長手方向部分断面およびプロープ形成面から見た部分平面を示す図である。

【図 3】

本発明の第 2 の実施形態である半導体検査装置の要部拡大斜視図である。

【図 4】

本発明の第 2 の実施形態におけるプローブ形成基板の梁の長手方向部分断面図である。

【図 5】

本発明の第 3 の実施形態である半導体検査装置の要部拡大斜視図である。

【図 6】

本発明の第 3 の実施形態の梁 1 1 の長手方向部分断面図である。

【図 7】

図 4 に示した本発明の第 2 の実施形態のプローブを、所定の被検体中のパッドに接触させた状態の断面図である。

【図 8】

梁の突起の形成部位における幅方向断面図である。

【図 9】

梁の各寸法の適正範囲を示す説明図である。

【図 1 0】

梁の撓みと荷重の関係及び従来の技術と本発明との比較図である。

【図 1 1】

プローブ形成基板を用いて形成したプローブ構造体の略断面図である。

【図 1 2】

プローブ形成基板を用いて形成したプローブ構造体の斜視図である。

【図 1 3】

本発明の第 2 の実施形態のプローブを形成する基板を被検体のしかる位置に押圧した状態の断面図である。

【図 1 4】

従来技術におけるプローブを形成する基板を被検体のしかる位置に押圧した状態の断面図である。

【図 1 5】

半導体装置の製造方法の概略を示すフローチャートである。

【図 1 6】

従来技術におけるプローブ構造体の略断面図である。

【図 1 7】

L S I が形成された様子を示すウェハ外観図である。

【図 1 8】

図 1 7 に示した L S I のうちのひとつを取り出して拡大した外観図である。

【符号の説明】

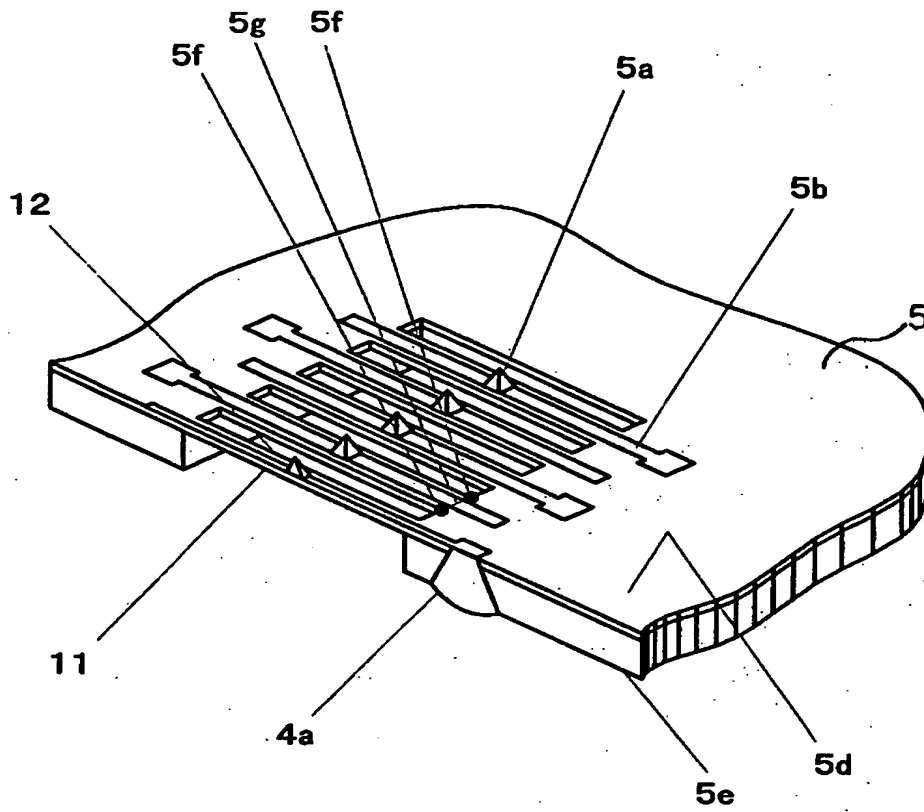
1 a	ウェハ
1 b	L S I
1 c	パッド
2	プリント配線板
5	プローブ形成基板
5 a	プローブ
5 b	配線
5 d	プローブ形成面
5 c	二次電極
5 e	プローブ形成面の反対面
5 f	梁付け根部
6	被検体
1 0	プローブ
1 1	梁
1 2	突起
1 3	膜材
1 4	プローブ構造体
1 5	インタポーザ
1 6	外部システム
2 1	配線
2 2	電極

1 1 1	梁側面
1 1 2	中立軸
1 4 1	シェル
u	オーバーラップ量
P p	プローブピッチ
P d	二次電極ピッチ

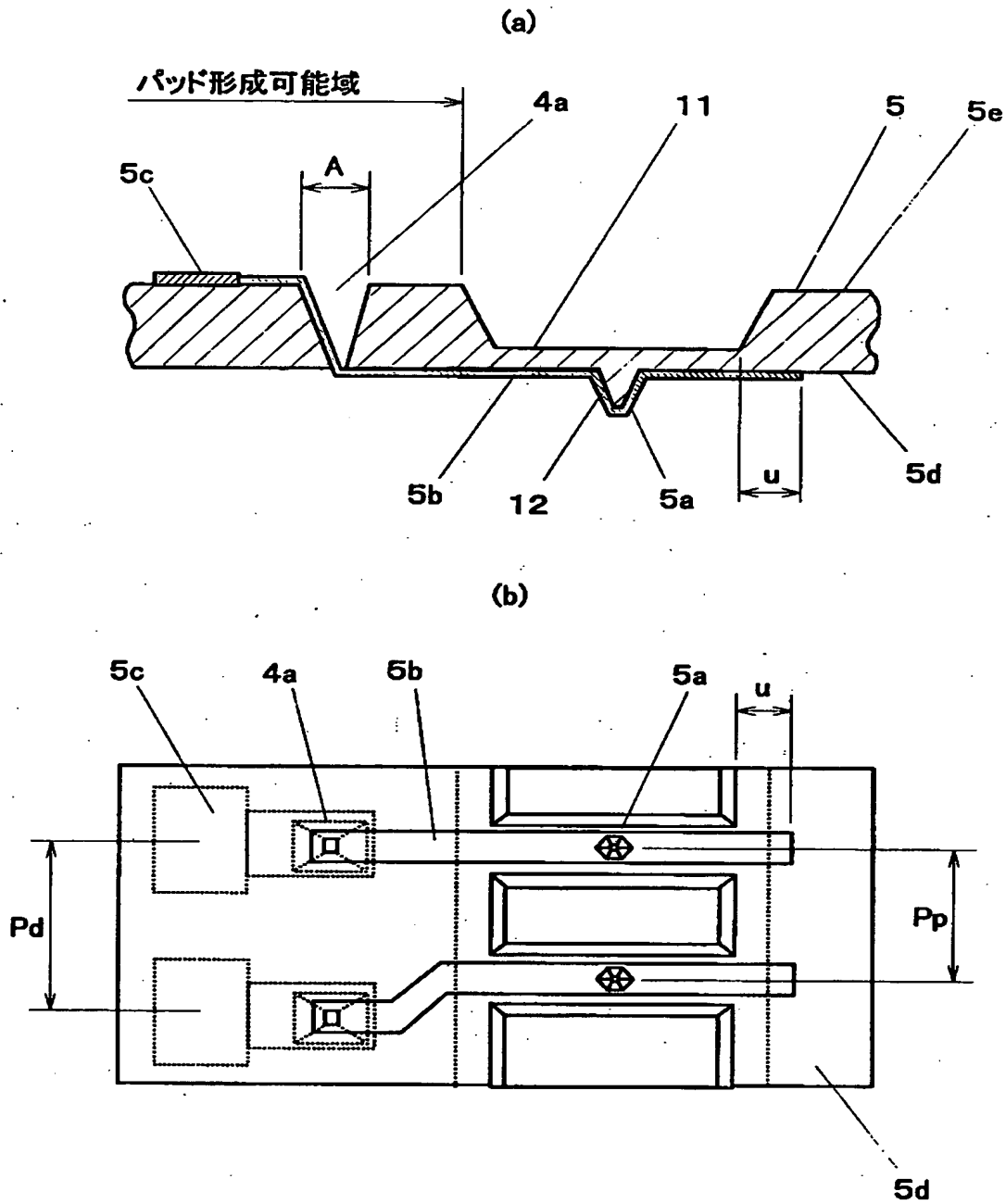
【書類名】

図面

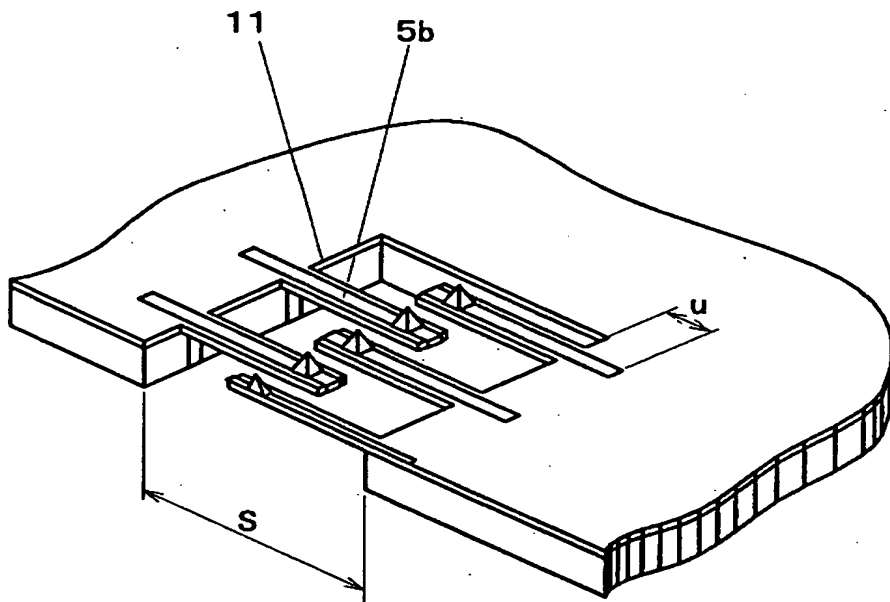
【図1】



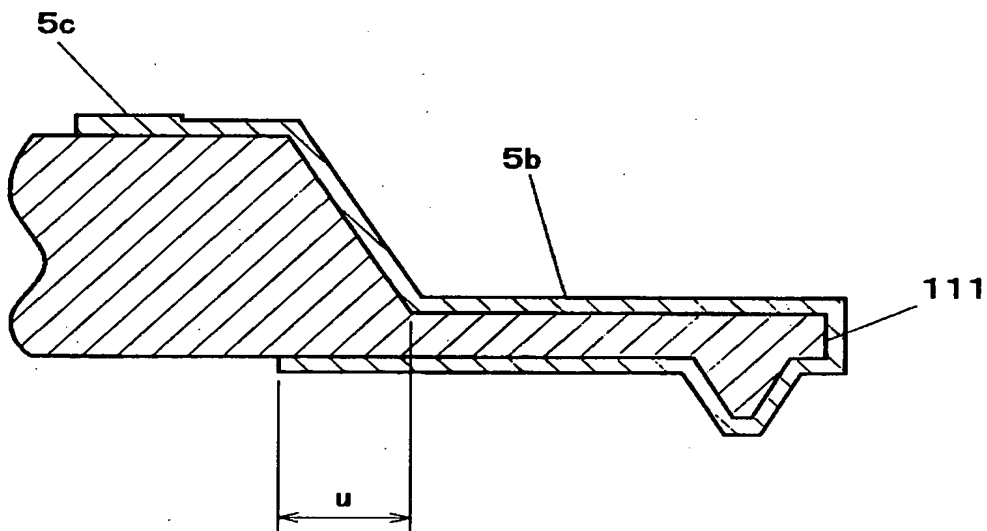
【図 2】



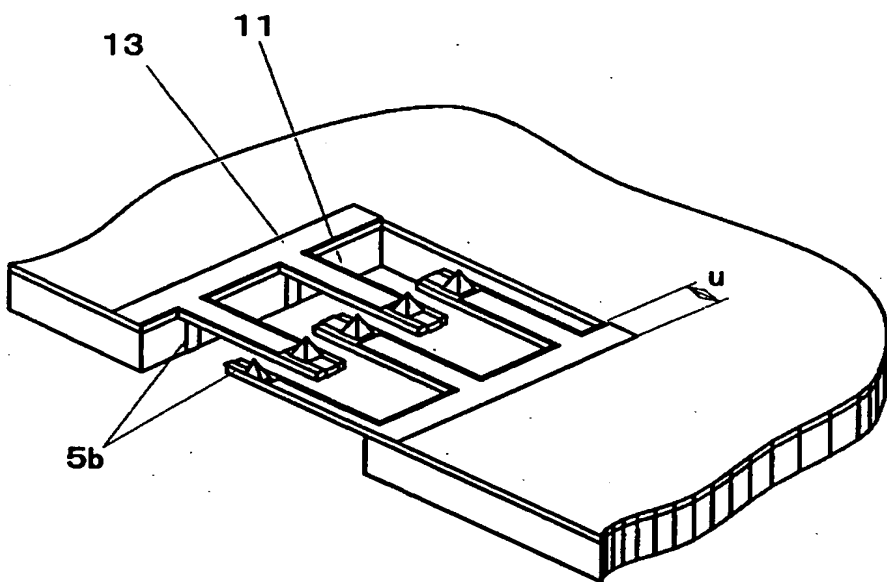
【図 3】



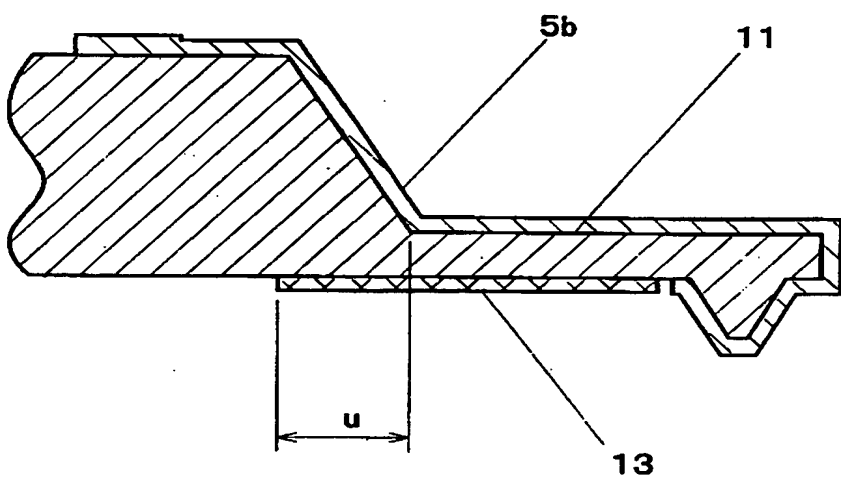
【図 4】



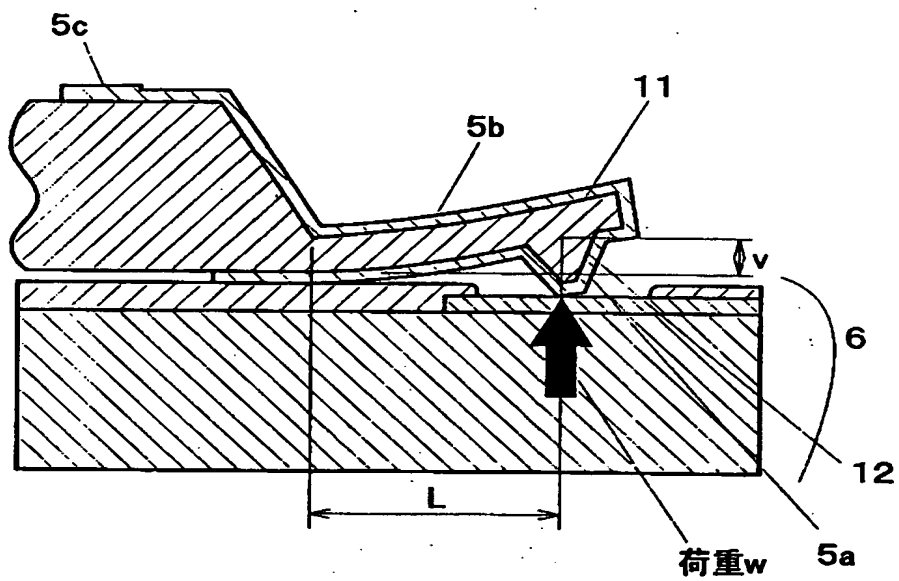
【図 5】



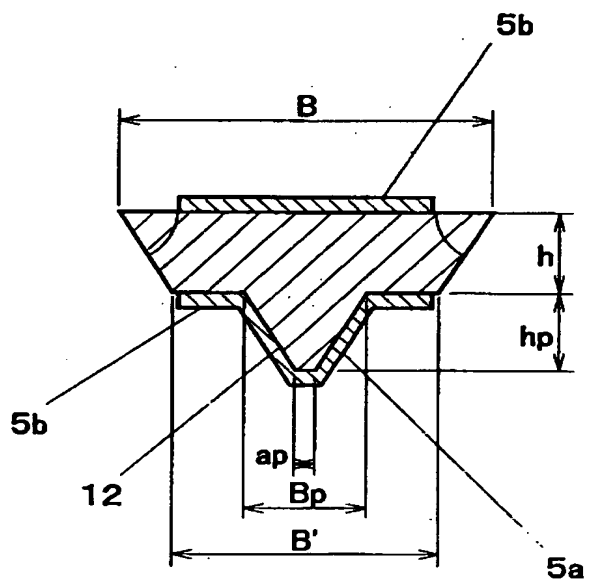
【図 6】



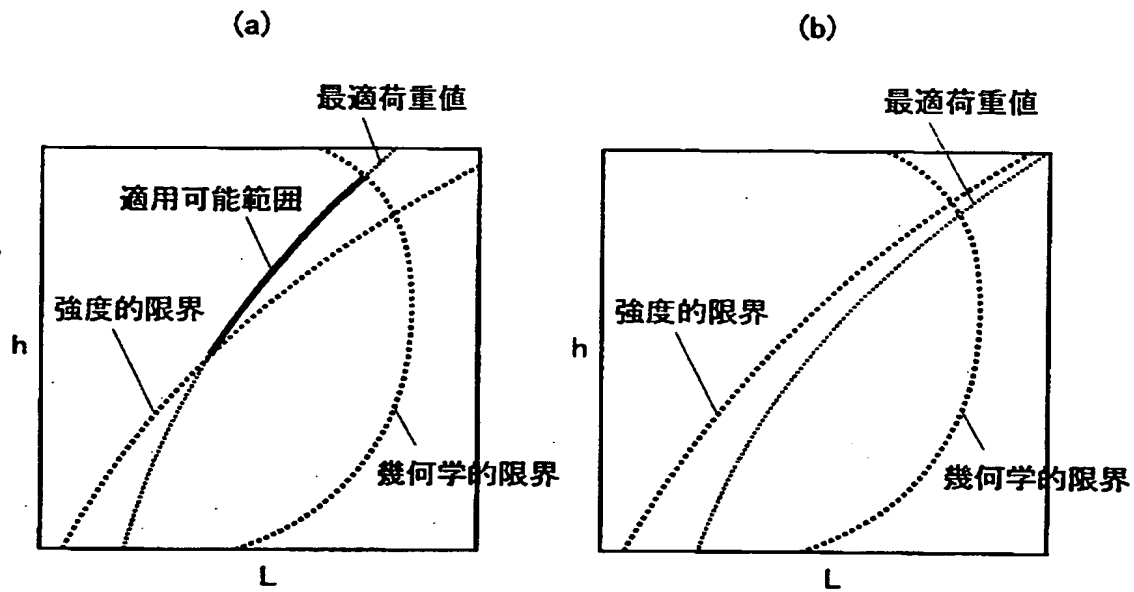
【図 7】



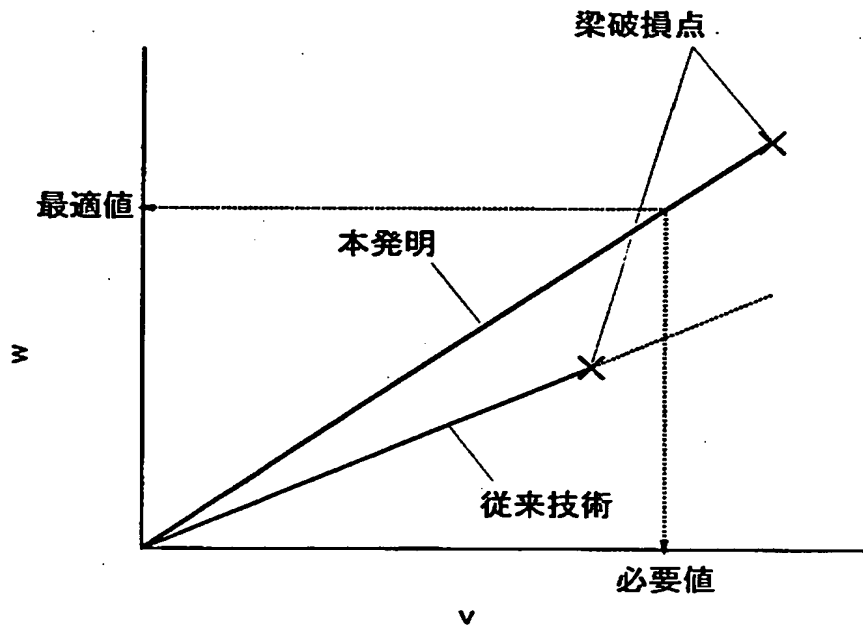
【図 8】



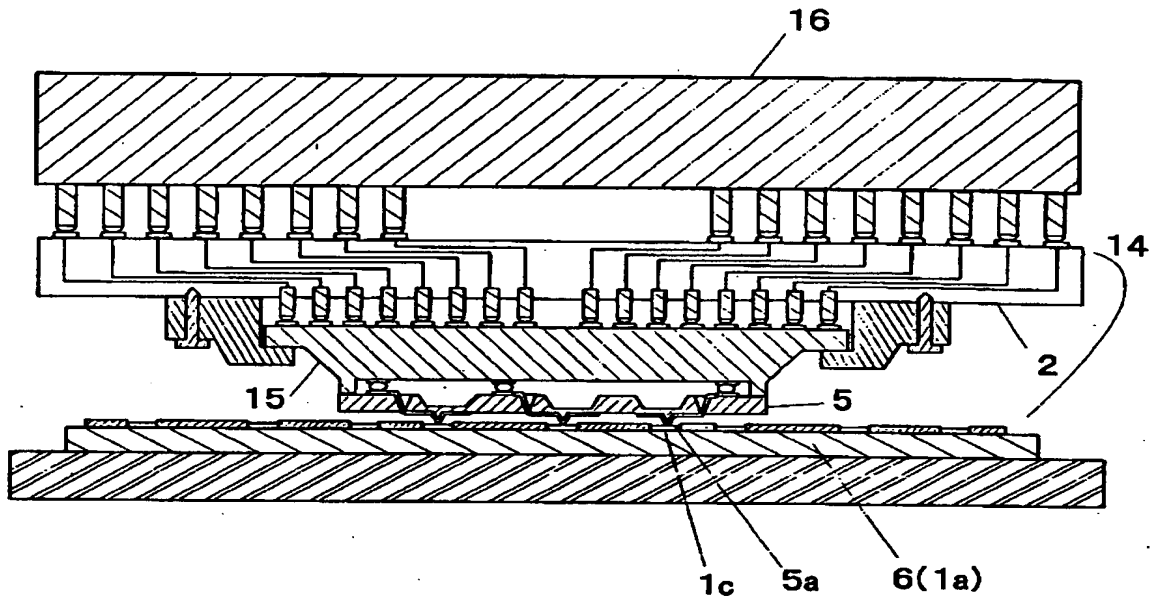
【図9】



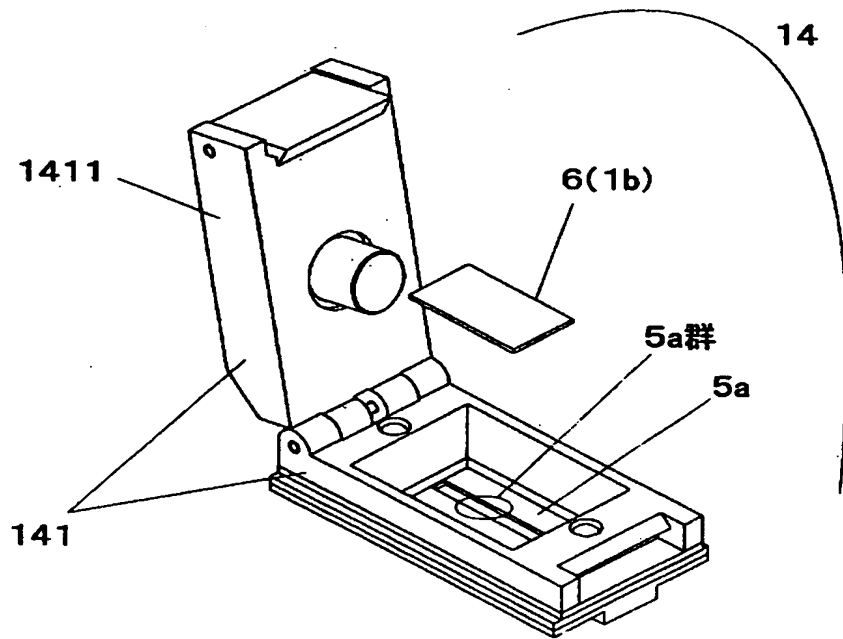
【図10】



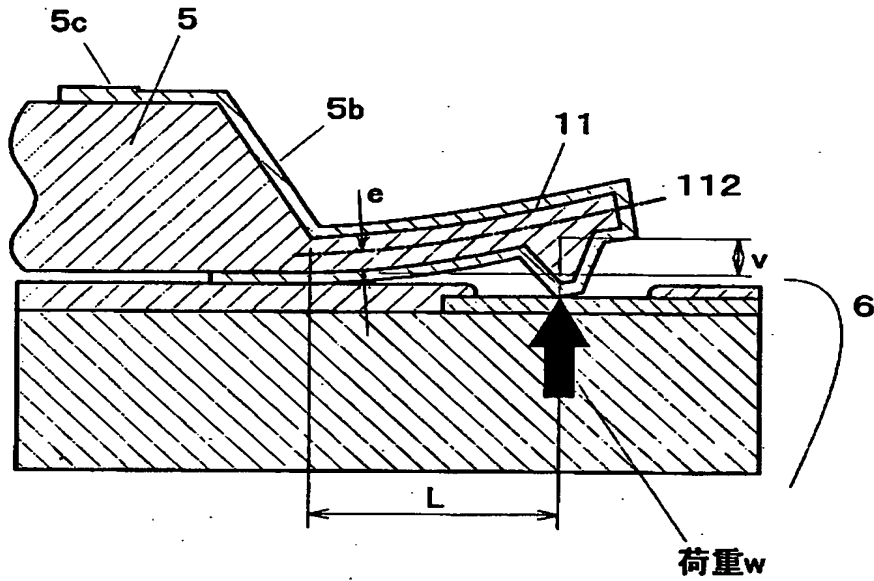
【図 1 1】



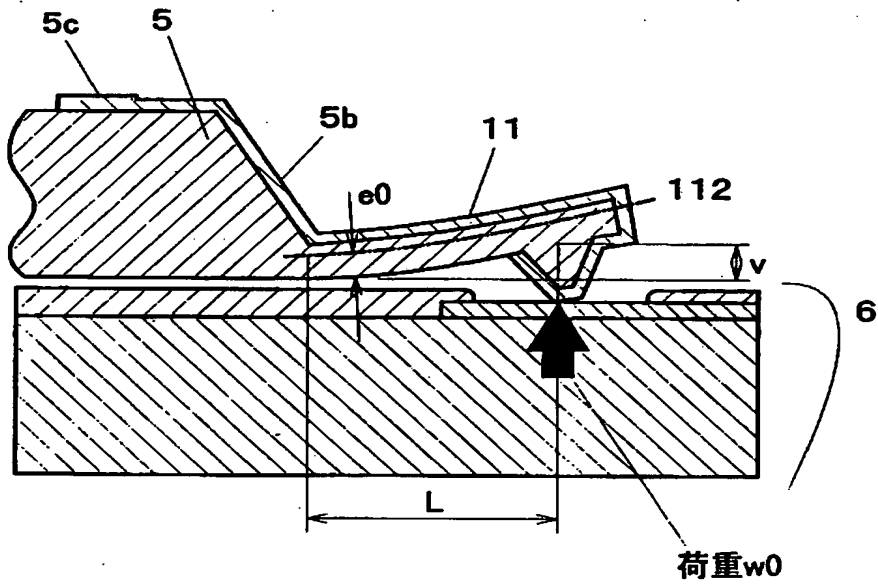
【図 1 2】



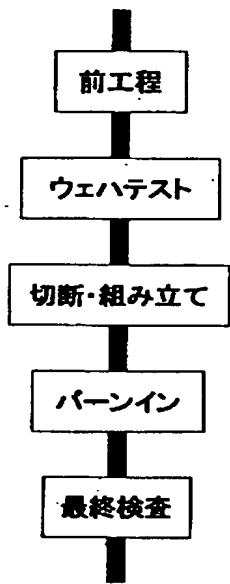
【図 13】



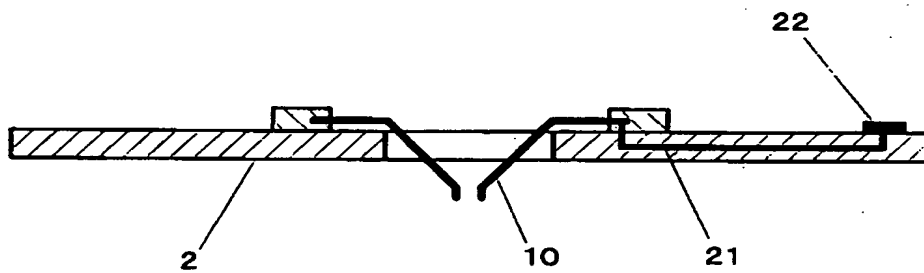
【図 14】



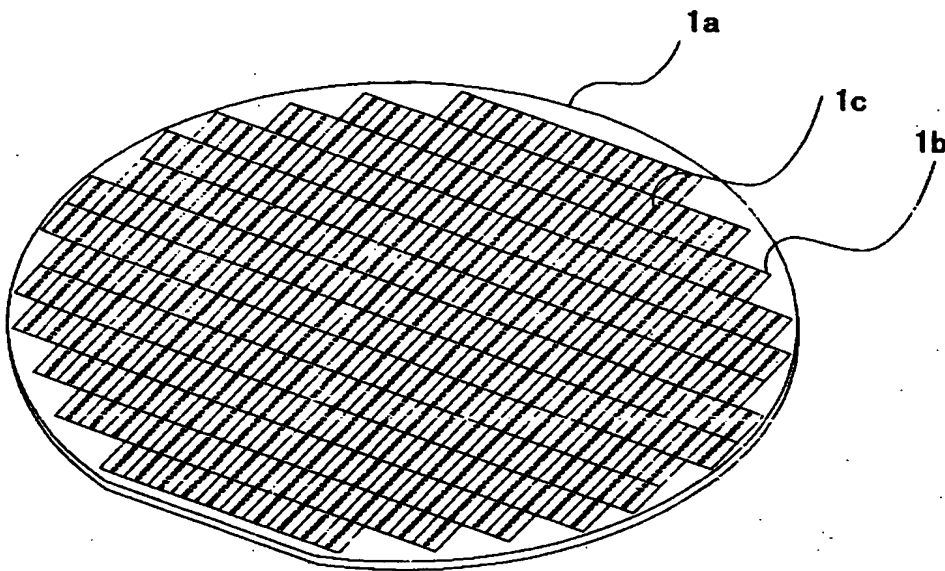
【図 15】



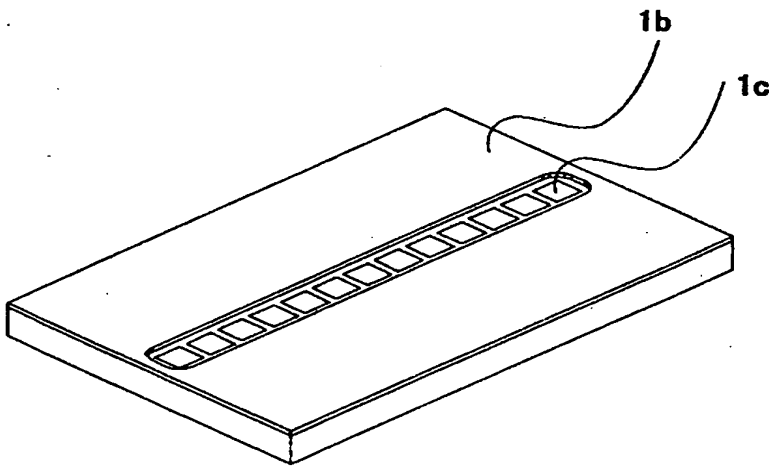
【図 16】



【図 17】



【図 18】



【書類名】 要約書

【要約】

【課題】 梁に必要な強度を保持した状態で小型化ができ、多数のプローブを形成可能な半導体検査装置を実現する。

【解決手段】 配線 5 b は、梁 1 1 上の一方向の面に所定の幅で、梁 1 1 の全長に亘り形成されているため、梁 1 1 は任意の幅方向断面において常に一定の形状となっている。その結果、梁 1 1 と配線 5 b の形状から定まる断面二次モーメントが一定となるため、プローブ 5 a が被検体のパッドに接触して梁 1 1 が所定量だけ撓んでも梁 1 1 の曲率が局所的に変化するといった不都合が回避される。その結果、梁 1 1 の局所的な応力集中が防止され、梁 1 1 の破損などといった、不都合を回避することができる。したがって、梁に必要な強度を保持した状態で小型化ができ、多数のプローブを形成可能な半導体検査装置を実現することができる。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願2000-285817
受付番号	50001212254
書類名	特許願
担当官	第五担当上席 0094
作成日	平成12年 9月21日

<認定情報・付加情報>

【提出日】	平成12年 9月20日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所